

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-262063

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁶
H 0 4 L 12/28
H 0 4 Q 3/00

識別記号

F I

H 0 4 L 11/20
H 0 4 Q 3/00
H 0 4 L 11/20

D
F

審査請求 未請求 請求項の数17 O L (全 22 頁)

(21) 出願番号 特願平9-66396

(22) 出願日 平成9年(1997) 3月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 富永 進

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 道井 信司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 斉藤 千幹

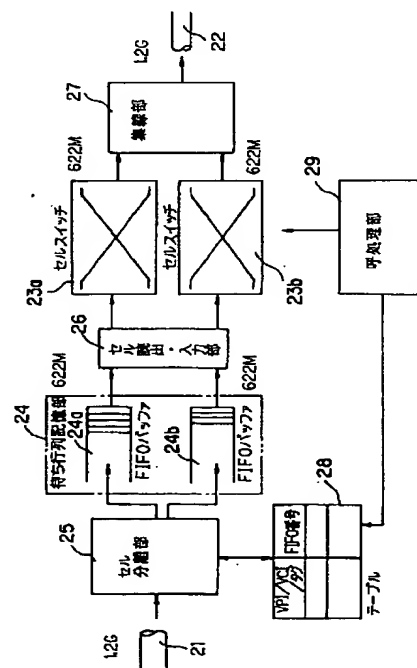
(54) 【発明の名称】 セルスイッチング方法及びセル交換システム

(57) 【要約】

【課題】 基本交換レートより大きな伝送レートを有する高速伝送路を交換システムに収容する。

【解決手段】 基本交換レートのセルスイッチ23a, 23bを複数個設けると共に、各セルスイッチに対応して伝送路21からのセルをキューイングする手段(FIFOバッファ24a, 24b)を設け、伝送路からのセルをセル分離部25により分離して所定のFIFOバッファ24a, 24bに書き込み、各FIFOバッファより基本交換レートでセルを読み出して対応するセルスイッチに入力し、各スイッチでスイッチングされたセルを集線部27で集線して伝送路22に送出する。

本発明の第1実施例の概略説明図



【特許請求の範囲】

【請求項1】 セル交換システムにおけるセルスイッチング方法において、

基本交換レートのセルスイッチを複数個設けると共に、各セルスイッチに対応して伝送路からのセルをキューイングする手段を設け、伝送路からのセルを分離してセルのヘッダ情報に基づいて所定のキューイング手段に接続し、

各キューイング手段より前記基本交換レートでセルを読み出して対応するセルスイッチに入力し、

各スイッチでスイッチングされたセルを集線して伝送路に送出することを特徴とするセルスイッチング方法。

【請求項2】 前記伝送路は、セルスイッチの基本交換レートより大きな伝送レートを有する高速伝送路であることを特徴とする請求項1記載のセルスイッチング方法。

【請求項3】 呼設定時に呼に割り当てたVPI/VC I値を少なくとも用いて呼と前記キューイング手段との対応を設定し、

セルに付加されているVPI/VC I値を参照して該セルを呼に応じたキューイング手段に接続することを特徴とする請求項1または請求項2記載のセルスイッチング方法。

【請求項4】 各キューイング手段に対応付けられた呼の帯域値を積算し、該呼の通信終了により帯域値を積算値より減算し、

呼設定時に前記積算値が最小のキューイング手段を求め、呼を該キューイング手段に対応付けることを特徴とする請求項3記載のセルスイッチング方法。

【請求項5】 呼毎に、該呼のセルが交換システムに到来した最後の時刻を記憶し、

所定の呼のセルが到来したとき、該呼のセル到来間隔を前記最後の時刻と現時刻との差分により求め、

セル間隔が設定時間以上の場合には接続セル数が最小のキューイング手段を求め、該キューイング手段に前記到来したセルを接続することを特徴とする請求項3記載のセルスイッチング方法。

【請求項6】 セル間隔が設定時間以下の場合には、セルを該セルに付加されているVPI/VC I値を参照して呼に応じたキューイング手段に接続することを特徴とする請求項5記載のセルスイッチング方法。

【請求項7】 セル交換システムにおけるセルスイッチング方法において、

基本交換レートのセルスイッチを複数個設けると共に、各セルスイッチに対応して伝送路からのセルをキューイングする手段を設け、

到着セルに付加されているVPI/VC I値を少なくとも参照して呼毎にセル到着順を示すシーケンス番号をセルに付加し、

しかる後、該シーケンス番号が付加されたセルを接続セ

ル数が最小のキューイング手段に接続し、

各キューイング手段より前記基本交換レートでセルを読み出して対応するセルスイッチに入力してスイッチングし、

スイッチングされたセルを集線して伝送路に送出する際、セルをVPI/VC I値を参照して呼毎にシーケンス番号順に並べて送出することを特徴とするセルスイッチング方法。

【請求項8】 前記伝送路は、セルスイッチの基本交換レートより大きな伝送レートを有する高速伝送路であることを特徴とする請求項7記載のセルスイッチング方法。

【請求項9】 複数のセルスイッチから入力するセルを該セルに付加されているVPI/VC I値あるいはVPI/VC I/タグ値を参照して呼毎にシーケンス番号順に記憶すると共に、セル到来順にそのVPI/VC I値あるいはVPI/VC I/タグ値を記憶し、

該記憶されたVPI/VC I値あるいはVPI/VC I/タグ値順で、かつ、シーケンス番号順にセルを読み出して伝送路に送出することを特徴とする請求項7または請求項8記載のセルスイッチング方法。

【請求項10】 セルをスイッチングするセル交換システムにおいて、

基本交換レートを有する複数個のセルスイッチと、各セルスイッチに対応して設けられ、伝送路からのセルをキューイングする手段と、

セルのヘッダ情報を参照して呼を識別し、該セルを識別した呼に応じたキューイング手段に接続するセル分離手段と、

各キューイング手段からセル到来順に前記基本交換レートでセルを読み出して対応するセルスイッチに入力するセル読出し手段と、

各セルスイッチでスイッチングされたセルを集線して伝送路に送出する集線多重部を備えたことを特徴とするセル交換システム。

【請求項11】 前記伝送路は、セルスイッチの基本交換レートより大きな伝送レートを有する高速伝送路であることを特徴とする請求項10記載のセル交換システム。

【請求項12】 セル交換システムは、呼に設定したVPI/VC I値を少なくとも用いて呼と前記キューイング手段との対応関係を記憶するテーブルを備え、

前記セル分離手段は、セルに付加されているVPI/VC I値を用いて前記テーブルより呼に応じたキューイング手段を求め、セルを該キューイング手段に接続することを特徴とする請求項10または請求項11記載のセル交換システム。

【請求項13】 セル交換システムは、各キューイング手段に対応付けられた呼の申告帯域を積

算すると共に、該呼の終了により申告帯域を積算値より減算する手段と、

呼設定時に積算値が最小のキューイング手段に該呼を対応付けて前記テーブルに設定する手段を備えたことを特徴とする請求項12記載のセル交換システム。

【請求項14】 セル交換システムは、各キューイング手段に接続されているセル数を監視する接続セル数監視手段と、呼毎に、該呼のセルが交換システムに到着した最新の時刻を記憶する最新到着時刻記憶手段と、所定の呼のセルが到来したとき、該呼におけるセルの到来間隔を前記最新時刻と現時刻との差分により求め、セル間隔が設定時間以上か判定するセル間隔判定部と、セル間隔が設定時間以下の場合には、呼に応じたキューイング手段に該セルを接続し、セル間隔が設定時間以上の場合には、接続セル数が最小のキューイング手段を求め、セルを該キューイング手段に接続する手段を備えたことを特徴とする請求項10または請求項11または請求項12記載のセル交換システム。

【請求項15】 セルをスイッチングするセル交換システムにおいて、基本交換レートより大きな伝送レートを有する高速伝送路を有する複数のセルスイッチと、各セルスイッチに対応して設けられ、前記伝送路からのセルをキューイングする手段と、呼毎に到着セルに到着順を示すシーケンス番号を付加する手段と、該シーケンス番号が付加されたセルを接続セル数が最小のキューイング手段に接続するセル分離手段と、キューイング手段より前記基本交換レートでセルを読み出して対応するセルスイッチに入力する手段と、スイッチングされたセルを集線して伝送路に送出する際、セルを呼毎にシーケンス番号順に並べて送出する手段を備えたことを特徴とするセル交換システム。

【請求項16】 前記伝送路は、セルスイッチの基本交換レートより大きな伝送レートを有する高速伝送路であることを特徴とする請求項15記載のセル交換システム。

【請求項17】 前記集線送出手段は、複数のセルスイッチから入力するセルを呼毎にシーケンス番号順に記憶する第1の記憶手段と、セル到来順にセルに付加されている少なくともVPI/VCI値を記憶する第2の記憶手段と、前記第2の記憶手段に記憶したVPI/VCI値順で、かつ、シーケンス番号順にセルを前記第1の記憶手段から読出して送出する手段を備えたことを特徴とする請求項15または請求項16記載のセル交換システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はセルスイッチング方法及びセル交換システムに係わり、特に、セルスイッチ

の基本交換レートより大きな伝送レートを有する高速伝送路を収容してセルをスイッチングするセルスイッチング方法及びセル交換システムに関する。

【0002】

【従来の技術】 音声通信、データ通信だけでなく動画像も含めたマルチメディア通信のニーズが高まりつつある。かかる広帯域 (Broadband) 通信の実現手段として、非同期転送モード (Asynchronous Transfer Mode : ATM) を基本とする B-ISDN (Broadband-ISDN) の交換技術がある。ATM伝送方式はすべての情報をセルとよばれる固定長情報に分解して高速転送する。すなわち、ATM伝送方式では物理回線上に多重に論理リンクを張ることにより回線を複数の呼に割り当てる。そして、各呼に応じた端末からの動画像データや音声データ等を固定長の情報単位 (ATMセルという) に分解し、順次回線に送り出して多重化を実現する。

【0003】 ATMセルは図19に示すように、53バイトの固定長ブロックで構成され、その内5バイトがヘッダ部、48バイトがインフォメーションフィールド (ペイロード) である。ヘッダ部には、データがブロックに分解された後でも宛先が判るように呼識別用の仮想チャンネル番号 (Virtual Channel Identifier : VCI) が含まれ、そのほか方路を特定する仮想パスの識別子 (Virtual Path Identifier : VPI) や、リンク間のフロー制御に用いられるジェネリックフローコントロール GFC (Generic Flow Control) や、ペイロードタイプ PT (Payload Type) やセル損失優先表示 CLP (Cell Loss Priority)、ヘッダのエラー訂正用符号 HEC (Header Error Control) 等が含まれている。

【0004】 図20はATM交換システムの構成図であり、11₁₁~11_{1n}、11₂₁~11_{2n}、11₃₁~11_{3n}、11₄₁~11_{4n}は対応する中継線 (伝送路) に接続された加入者インタフェース部 (あるいは回線IF部)、12₁~12₄は多重分離部、13はATMスイッチ部、14はシステム制御部、15は保守端末である。ATMスイッチ部13は、複数の多重分離部12₁~12₄と接続され、ある多重分離部からの入力セルをスイッチングして所定の多重分離部に出力する。多重分離部12₁~12₄はそれぞれ複数の加入者IF部11₁₁~11_{1n}、11₂₁~11_{2n}、11₃₁~11_{3n}、11₄₁~11_{4n}と接続され、複数の加入者IF部からの上りセルを集線多重してATMスイッチ部13に出力する。更に、多重分離部12₁~12₄は、ATMスイッチ部13からの下りセルを該当加入者IF部に分離出力する。

【0005】 各加入者IF部11₁₁~11_{4n}は、対応する多重分離部12₁~12₄と接続され、伝送路から入力された所定形式のフレーム (例えばSONET FRAME) のペイロード部分よりATMセル (図19) を取り出し、しかる後、スイッチ内部のセルフォーマットに変換して多重分離部に出力する。スイッチ内部のセルフォーマットは

10

20

30

40

50

図21に示すようにATMセルに例えば1バイトを新たに付加した構成を備え、そのうち数ビットがルーチング用タグ情報TAGの書き込みのために使用される。ATMスイッチ部13は図示しないVC変換部で導入されたこのタグ情報TAGを参照してセルを所定の方路にスイッチングする。

【0006】また、各加入者IF部11₁₁～11_{4n}は多重分離部12₁～12₄から入力するスイッチ内部のセルフォーマット(図21)を有するセルをATMセルフォーマット(図19)に変換し、該ATMセルをSONET FRAMEのペイロード部分にマッピングして回線側に送出する。システム制御部14は、加入者IF部11₁₁～11_{4n}、多重分離部12₁～12₄、ATMスイッチ部13を制御する。図22は自己ルーチング型のATMスイッチの説明図である。図中、I₁～I₃はタグ情報検出回路、D₁～D₃は伝送情報遅延回路、DM₁～DM₃はデマルチプレクサ、DEC₁～DEC₃はタグ情報デコード回路であり、以上によりセル振分け部CELLDが構成される。FM₁₁～FM₃₃はバッファメモリで例えばFIFO(First-In First-Out)メモリ、SEL₁～SEL₃はセクタ、AOM₁～AOM₃は到着順序管理FIFOである。各到着順序管理FIFO(AOM₁～AOM₃)はそれぞれタグ情報デコード回路DEC₁～DEC₃の出力端に接続され、対応する3つのバッファメモリFM₁₁～FM₁₃、FM₂₁～FM₂₃、FM₃₁～FM₃₃にセルが到来する順序を記憶し、対応するセクタSEL₁～SEL₃を制御してセル到来順に3つのバッファメモリからセルを読み出して出線#1～#3に送出する。

【0007】ATMスイッチ部1に入力されるセルは図21に示す構成を有しており、検出回路I_i(i=1～3)はこの信号に含まれるタグ情報TAGを抽出してデコード回路DEC_i(i=1～3)に送る。デコード回路DEC_iは入力されたタグ情報が出力端#j(j=1～3)を示すものであれば、切換信号S_iによりデマルチプレクサDM_iを操作してFIFOメモリFM_{ji}に伝送情報を送る。例えば、入力端#1より入力したセルに含まれるタグTAGが出力端#2を示すものであれば、デコード回路DEC₁はデマルチプレクサDM₁を操作して入力端#1からのセルをバッファメモリFM₂₁に入力する。

【0008】到着順序管理FIFO(AOM₁～AOM₃)はそれぞれ制御情報デコード回路DEC₁～DEC₃の出力端に接続され、対応する3つのバッファメモリFM₁₁～FM₁₃、FM₂₁～FM₂₃、FM₃₁～FM₃₃にセルが到来する順序を記憶する。例えば、セルがバッファメモリFM₁₁→FM₁₂→FM₁₃→FM₁₂→・・・の順序で到来すれば、到着順序管理FIFO(AOM₁)には1→2→3→2→・・・のようにセル到来順にバッファメモリ識別符号が記憶される。しかる後、到着順序管理FIFO(AOM₁～AOM₃)は対応するセクタSEL₁～SEL₃を制御してセル到来順に3つのバッファメ

モリFM₁₁～FM₁₃、FM₂₁～FM₂₃、FM₃₁～FM₃₃からセルを読み出して出線#1～#3に送出する。

【0009】以上のように、各バッファメモリFM_{ij}に複数セル分の容量を持たせておくことにより、バッファ機能が得られ、一時的に伝送データが増大するような場合にも十分に対応できる。また、セル到来順にバッファメモリFM₁₁～FM₁₃(FM₁₁～FM₁₃、FM₂₁～FM₂₃、FM₃₁～FM₃₃)からセルを読み出すため各バッファメモリFM₁₁～FM₁₃に均等数のセルが滞留し、バッファメモリよりオーバーフローしてセルが廃棄される事態がなくなる。図23は各種伝送レートを有する高速伝送路を収容するセル交換システムの全体の構成図であり、受信部と送信部を分けて示している。図中、13はATMスイッチ部であり、基本交換レートが622Mbpsのセルスイッチをn個有している。16aは伝送レートが622Mbpsの伝送路に接続されたLT受信部(Line Trunk 受信部)、16bは伝送レートが622Mbpsの伝送路に接続されたLT送信部、17a₁～17a_nは伝送レートが156Mの伝送路に接続されたLT受信部、17b₁～17b_nは伝送レートが156Mの伝送路に接続されたLT送信部である。

【0010】LT受信部16a及びLT送信部16bは物理終端部としての回線IF部、スイッチインタフェース部を有している。LT受信部17a₁～17a_nは、4本の156Mの伝送路にそれぞれ接続された4つの回線IF部、各回線IF部から出力されるセルを集線して622Mのセルにする集線部、集線部から読み出された622Mのセルをセルスイッチに入力するスイッチインタフェース部を有している。LT送信部17b₁～17b_nはセルスイッチでスイッチングされた622Mのセルを回線側に送出するスイッチインタフェース部、622Mのセルを156Mのセルに分離する分離部、各分離部からのセルをSONET FRAMEのペイロード部分にマッピングして回線側に送出する回線IF部を有している。

【0011】

【発明が解決しようとする課題】端末の高機能化と高速化による高速通信の必要性が高まっており、伝送レートは高速化の傾向にある。又、通信回線として、1.2Gbps/2.4Gbpsレベルのユーザインタフェースの標準化作業も開始され、将来的にこれら高速伝送レートを有する高速伝送路が普及する可能性が高い。伝送路速度が高速化された時、スイッチの基本交換レートが低いと、実際に転送するデータ量を制限し、あるいは、転送データを廃棄する。しかし、データ転送量を制限する方法では伝送路を高速化した意味がなく、又、データを廃棄する方法ではデータ廃棄による通信品質劣化を引き起こす。このため、従来は伝送路速度を高速化すると同時にセルスイッチの基本交換レートも高速化し、高速伝送レートのセルが到来してもセル廃棄なくセルのスイッチングができるようにしている。しかし、高速スイッチの開発が困難で

時間を要する場合があります。かかる場合には高速スイッチが開発されるまで高速伝送路を使用できない問題が生じる。又、高速伝送路を既存の低速交換システムに収容してシステムを拡張できない問題もある。

【0012】以上から本発明の目的は、セルスイッチの基本交換レートより大きな伝送レートを有する高速伝送路を交換システムに収容できるようにすることである。本発明の目的は、セルスイッチ部を変更せず、高速伝送路の収容部のみの変更で高速伝送路を低速交換システムに収容できるようにすることである。本発明の目的は、

【0013】

【課題を解決するための手段】上記課題は本発明によれば、基本交換レートを有する複数のセルスイッチと、各セルスイッチに対応して設けられ、前記伝送路からのセルをキューイングする手段と、伝送路からのセルを分離して所定のキューイング手段に記憶するセル分離手段と、各キューイング手段より前記基本交換レートでセルを読み出して対応するセルスイッチに入力するセル読出し手段と、各セルスイッチでスイッチングされたセルを集線して伝送路に送出する集線部を備えたセル交換システムにより達成される。

【0014】上記課題は本発明によれば、基本交換レートを有する複数のセルスイッチと、各セルスイッチに対応して設けられ、伝送路からのセルをキューイングする手段と、呼に設定したVPI/VC I値を少なくとも用いて呼と前記キューイング手段との対応関係を記憶するテーブルと、セルに付加されているVPI/VC I値を参照して呼を識別し、該セルを識別した呼に応じたキューイング手段に接続するセル分離手段と、各キューイング手段からセル到来順に前記基本交換レートでセルを読み出して対応するセルスイッチに入力するセル読出し手段と、各セルスイッチでスイッチングされたセルを集線して伝送路に送出する集線多重部を備えたセル交換システムにより達成される。

【0015】上記課題は本発明によれば、各キューイング手段に接続されているセル数を監視する接続セル数監視手段と、呼毎に、該呼のセルが交換システムに到着した最新の時刻を記憶する最新到着時刻記憶手段と、所定の呼のセルが到来したとき、該呼におけるセルの到来間隔を前記最新時刻と現時刻との差分により求め、セル間隔が設定時間以上か判定するセル間隔判定部と、セル間隔が設定時間以下の場合には、呼に応じたキューイング手段に該セルを接続し、セル間隔が設定時間以上の場合には、接続セル数が最小のキューイング手段を求め、セ

ルを該キューイング手段に接続する手段を備えたセル交換システムにより達成される。

【0016】上記課題は本発明によれば、セルスイッチの基本交換レートより大きな伝送レートを有する高速伝送路を収容し、入力セルをスイッチングして所定の高速伝送路に送出するセル交換システムにおいて、基本交換レートを有する複数のセルスイッチと、各セルスイッチに対応して設けられ、前記伝送路からのセルをキューイングする手段と、呼毎に到着セルに到着順を示すシーケンス番号を付加する手段と、該シーケンス番号が付加されたセルを接続セル数が最小のキューイング手段に接続するセル分離手段と、キューイング手段より前記基本交換レートでセルを読み出して対応するセルスイッチに入力する手段と、スイッチングされたセルを集線して伝送路に送出する際、セルを呼毎にシーケンス番号順に並べて送出する手段を備えたセル交換システムにより達成される。

【0017】

【発明の実施の形態】

(A) 第1実施例

(a) 第1実施例の概略

図1は本発明の第1実施例の概略説明図である。図中、21、22は伝送レート1.2Gbpsの高速伝送路、23a、23bは基本交換レート(622Mbps)のセルスイッチ、24はセルの待ち行列記憶部であり、FIFOバッファ24a、24bを備えている。FIFOバッファ24a、24bはそれぞれセルスイッチに対応して設けられ、伝送路21からのセルをキューイングする。25は伝送路21から到来する伝送レート1.2Gのセルを分離して所定のFIFOバッファ24a、24bに入力するセル分離部、26は各FIFOバッファ24a、24bより622Mの基本交換レートでセルを読み出して対応するセルスイッチ23a、23bに入力するセル読出・入力部、27は各スイッチ23a、23bでスイッチングされた622Mのセルを集線して1.2Gのセルにして伝送路22に送出する集線部、28はセルをいずれのFIFOバッファ24a、24bに書き込むかを決定する情報を記憶するテーブル、29は呼処理部である。テーブル28に記憶される上記情報は、呼とFIFOバッファとの対応関係であり、呼設定時にテーブルに設定される。呼は呼設定時に設定されたVPI/VC I値により、あるいはVPI/VC I値とタグとの組み合わせにより特定される。

【0018】基本交換レートの2つのセルスイッチ23a、23bを設け、かつ、各セルスイッチ23a、23bに対応して高速伝送路21からのセルをキューイングするFIFOバッファ24a、24bを設ける。セル分離部25は伝送路21からの1.2Gのセルを分離して所定のFIFOバッファ24a、24bに記憶し、セル読出・入力部26は各FIFOバッファ24a、24bよ

り基本交換レート622Mでセルを読み出して対応するセルスイッチ23a, 23bに入力する。各セルスイッチ23a, 23bは入力された622Mのセルをスイッチングし、集線部27は各スイッチでスイッチングされた622Mのセルを集線して1.2Gのセルにして伝送路22に送出する。

【0019】FIFOバッファ24a, 24bへのセルの振り分けは以下のように行う。呼処理部29は、呼設定処理時に、呼とFIFO番号との対応、実際には、呼に設定したVPI/VC I値及びタグにより特定されるアドレス(VPI/VC I/タグ)とFIFOバッファ番号との対応をテーブル28に設定し、かつ、FIFOバッファ24a, 24bにそれぞれ対応付けられている呼の帯域値を積算する。又、呼処理部29は、呼の通信終了により帯域値を積算値より減算し、新たな呼設定時、帯域積算値が最小のFIFOバッファを選択し、呼(アドレスVPI/VC I/タグ)を該選択したFIFOバッファに対応付けてテーブル28に設定し、かつ、帯域積算値を更新する。セル分離部25は高速伝送路21を介してセルが入力されると、該セルに付加されているVPI/VC I/タグ及びテーブル28を参照してセルを入力すべきFIFOバッファ24a, 24bを求め、該FIFOバッファにセルを入力する。以上のように、高速伝送路からのセルを基本交換レートのセルに分離するようにし、セルスイッチでスイッチングされたセルを集線して高速伝送路に送出するようにしたから、セルスイッチの基本交換レートより大きな伝送レートを有する高速伝送路を交換システムに収容することができる。又、セルスイッチ部を変更せず、高速伝送路の収容部のみの変更だけで高速伝送路を低速交換システムに収容することができる。更に、低速の伝送レートから基本交換レートより高速の伝送レートまで種々の伝送レートの伝送路を交換システムに収容することができる。

【0020】(b) 交換システムの全体の構成

図2は各種伝送レートを有する高速伝送路を収容する本発明のセル交換システムの全体の構成図であり、受信部と送信部を分けて示している。図中、51はセルスイッチ部であり、基本交換レートが622Mbpsのセルスイッチ51a~51dを有し、交換容量は4×622Mbpsで2.4Gbpsである。セルスイッチ51a~51dは一般的なセルフルーティングスイッチであり(図22参照)、出力バッファ型や共通バッファ型等の各種の方式が提案されている。52aは伝送レートが基本交換レートより高速の伝送路(1.2Gbpsの伝送路)に接続された1.2G-LT受信部、52bは伝送レートが1.2Gbpsの伝送路に接続された1.2G-LT送信部である。53aは伝送レートが622Mbpsの伝送路に接続された622M-LT受信部、53bは伝送レートが622Mbpsの伝送路に接続された622M-LT送信部、54aは伝送レートが156Mの伝送路に接続された15

6M-LT受信部、54bは伝送レートが156Mの伝送路に接続された156M-LT送信部である。55は呼処理プロセッサである。LT送信部、LT受信部としては、接続される伝送路/端末速度の違いにより種々のもの(1.2G-LT/622M-LT/156M-LT)があり、スイッチ部51を挟んで左側が受信部、右側が送信部の構成となっている。

【0021】LT受信部52aは、物理インタフェースを終端し、例えばSONET FRAMEのペイロード部分よりセルを抽出して次段に送出する物理終端部52a-1、入力された1.2Gのセルを622Mのセルに分離するセル分離部(CELL-DMUX)52a-2、分離されたセルに対応するセルスイッチ51a, 51bに入力するスイッチインタフェース部52a-3, 52a-4を有している。LT送信部52bはセルスイッチ51a, 51bでスイッチングされた基本交換レート(622M)のセルを回線側に送出するスイッチインタフェース部52b-1, 52b-2、各スイッチインタフェース部52b-1, 52b-2から入力された基本交換レートのセルを集線して1.2Gのセルにするセル集線部(CELL-MUX)52b-3, 1.2GのセルをSONET FRAMEのペイロード部分にマッピングして回線側に送出する物理終端部52b-4を有している。LT受信部53aは物理終端部53a-1、セル分離部(CELL-DMUX)53a-2、スイッチインタフェース部53a-3を有している。LT送信部53bはスイッチインタフェース部53b-1、セル集線部(CELL-MUX)53b-3、物理終端部53b-3を有している。

【0022】LT受信部54aは、4本の156Mの伝送路にそれぞれ接続された4つの物理終端部54a-1~54a-4、各物理終端部から出力されるセルを集線して622Mのセルにするセル集線部(CELL-MUX)54a-5、セル集線部から読み出された622Mのセルをセルスイッチ51dに入力するスイッチインタフェース部54a-6を有している。LT送信部54bはセルスイッチ51dでスイッチングされた622Mのセルを回線側に送出するスイッチインタフェース部54b-1, 622Mのセルを156Mのセルに分離するセル分離部(CELL-DMUX)54b-2、セル分離部からの156MのセルをSONET FRAMEのペイロード部分にマッピングして回線側に送出する物理終端部54b-3~54b-6を有している。以下では、基本交換レート622Mより高速の伝送レート1.2Gを有する伝送路を収容するためのLT受信機52a、LT送信機52bについて説明する。

【0023】(c) セル分離部(CELL-DMUX)

(c-1) 構成

図3はセル分離部52a-2の構成図であり、61はセルの正常性の確認を行うセル終端回路部、62はハイウェイ対応回路部であり、伝送路からのセルレートをセルスイッチ51a, 51bの基本交換レートに分離するものである。高速伝送路の伝送レートは1.2Gbps、基本交換レートは622Mbpsである。このため、高速伝送路に対応して2つのセルスイッチ51a, 51bが設けられている。ハイウェイ対応回路部62は、各セルスイッチ51

a, 51bに対応して設けられ、分離されたセルをキューイングする2つのFIFOバッファ62a, 62bと、セル終端部61から出力されるセルを所定時間遅延する遅延回路62cと、セルヘッダを解析してセルを分離し、適宜FIFOバッファ62a, 62bに書き込むセルヘッダ解析回路部62dと、各FIFOバッファ62a, 62bから基本交換レートでセルを読み出して対応するセルスイッチに入力するセル読出し回路部62e、62fを有している。

【0024】セルヘッダ解析回路部62dがセルをいずれのFIFOバッファに書き込むかを決定するまでには所定の時間を必要とする。このため、遅延回路62cは該時間分セルを遅延する。セルヘッダ解析回路部62dはセルを書き込むFIFOバッファを決定すれば、該FIFOバッファに1.2GHzの書き込みクロックwrite-clockを入力する。FIFOバッファ62a, 62bはそれぞれセルを蓄積しているか否かを示すエンブティ信号empty-flagを対応するセル読出し回路部62e、62fに10 入力する。セル読出し回路部62e、62fはセルが蓄積されていれば基本交換レート622MHzの読出しクロックread-clockを発生し、該クロックに同期してFIFOバッファからセルを読み出してセルスイッチ51a, 51b20 に入力する。

【0025】(c-2)セルヘッダ解析回路部

図4はセルヘッダ解析回路部62dの構成図あり、71はセルヘッダ期間の間、クロックを通過するアンドゲート、72はセルヘッダを通過するゲート、73a~73dはセルヘッダに付加されているタグ、(VPI/VC40 I)値を保持するレジスタ、74はVPI/VC I/タグのうち所定のことをアドレスとして選択出力するマスキレジスタ(VPI/VC I/タグをアドレスとする)、75はタイミングジェネレータ、76はセルをFIFOバッファ62a, 62bのいずれに入力するかを決定する情報を記憶するエントリーテーブル、77はアドレスが指示する上記情報を記憶してイネーブル/ディスイネーブル信号を出力する出力レジスタ、78はFIFOバッファのwrite-clockを発生するFIFO制御部、79a, 79bはイネーブル信号入力時にwrite-cl40 ockを出力するゲート回路である。エントリーテーブル76は図5に示すように、VPI/VC I値とタグを組み合わせたものをアドレスとして有し、各アドレスにセル入力先FIFOバッファを指示するための出力キュー番号(FIFO番号)を記憶する。VPI/VC I/タグは呼を一意に特定するものであるから、エントリーテーブル76には呼に応じたFIFO番号が記憶されたことになる。

【0026】(c-3)セルをキューイングするFIFO決定処理

エントリーテーブル76の各アドレスの内容は呼処理プロセッサ55の制御で書き替えられる。図6は呼処理プ

ロセッサ55によるセルキューイングFIFOの決定処理フローである。呼処理プロセッサ55は、呼設定処理が必要であるかチェックし(ステップ101)、必要であれば呼設定処理を行い、呼のVPI/VC I値及びタグを決定してVCC回路56のVC変換テーブルに設定する(ステップ102)。これにより、VCC回路56は伝送路から入力されたセルにタグを付加すると共に、VPI/VC Iを付け替える。

【0027】について、呼処理プロセッサは第1FIFOバッファ62aの帯域積算値B1と第2FIFOバッファ62bの帯域積算値B2の大小を比較し、B1<B2であるかチェックする(ステップ103)。帯域積算値とは、FIFOバッファに呼が対応付けられる毎に、該呼について端末から申告された帯域値を積算し、該呼の通信終了により帯域値を積算値から減算して得られる値である。B1<B2であれば、呼のVPI/VC I値及びタグが示すエントリーテーブル76の記憶域にFIFOバッファ62aのFIFO番号を書き込み(ステップ104)、B1+B→B1により帯域積算値B1を更新する(ステップ105)。ただし、B1の初期値は零、Bは呼について端末が申告した帯域値であり、基本交換レートより小さいとする。一方、B1>B2であれば、呼のVPI/VC I値及びタグが示すエントリーテーブル76の記憶域にFIFOバッファ62bのFIFO番号を書き込み(ステップ106)、B2+B→B2により帯域積算値B2を更新する(ステップ107)。ただし、B2の初期値は零である。

【0028】について、あるいは、ステップ101で呼設定でなければ、通信中の呼が終了したかチェックし(ステップ108)、終了してなければ始めに戻り、以降の処理を繰り返す。通信中の呼が終了すれば、終了呼のVPI/VC I/タグ値が示すエントリーテーブル76の記憶域に記憶されているFIFO番号が示すFIFOバッファの帯域積算値BiをB' 減小し(Bi-B' →Bi、ステップ109)、以後、始めに戻り、以降の処理を繰り返す。ただし、B' は終了呼の申告帯域である。以上により、呼すなわちVPI/VC I/タグに対応させてセルを入力するFIFOバッファが決定される。

【0029】(c-4)セル分離部の動作

セル終端部61(図3)から出力されるセルのヘッダには、呼設定時に決定されたVPI/VC I値及びタグが付加されている。したがって、セルヘッダ解析回路部62dはこれらをアドレスとしてエントリーテーブル76を参照してセルを入力するFIFOバッファを求め、該FIFOバッファにerite-clockを入力する。ライトクロックが入力されたFIFOバッファは遅延回路62cで遅延されたセルを書き込み、以後同様の書き込み制御を行う。以上の書き込みと並行して、セル読出し回路部62e, 62fは各FIFO62a, 62bに記憶されているセルを基本交換レートで読み出してセルスイ

チ51a、51bに入力する。この結果、各セルスイッチ51a、51bは入力セルをタグに基づいてスイッチングして所定の方路に出力する。

【0030】(d)セル集線部(CELL-MUX)

図7はセル集線部の構成図であり、81は第1のセルスイッチ51aから出力される基本交換レート(622M)のセルを書き込む第1のFIFOバッファ、82は第2のセルスイッチ51bから出力される基本交換レート(622M)のセルを書き込む第2のFIFOバッファ、83は第1、第2のFIFOバッファにセルが書き込まれた順に、書き込まれたFIFOバッファの番号を記憶するセル到着順序管理FIFO、84はセル到着順にしたがって第1、第2のFIFOバッファ81、82から1.2Gの伝送レートでセルを読み取って物理終端部52b-4に☐するセレクトである。セル集線部52b-3によれば、セルスイッチ51a、51bより到来する2つの基本交換レートのセル流を集線し、該セル流をセル到来順に1.2Gで物理終端部を介して高速伝送路に送出することができる。

【0031】以上により、高速伝送路からのセルをセル分離部52a-2で基本交換レートのセルに分離してセルスイッチ51a、51bに☐し、セルスイッチ51a、51bでスイッチングしたセルをセル集線部52b-3で集線して高速伝送路に送出するようにしたから、セルスイッチの基本交換レートより大きな伝送レートを有する高速伝送路を交換システムに収容することができる。又、セル分離部52a-2は帯域積算値に基づいてセルを各FIFOバッファに振り分けるようにしたから、セル廃棄が生じないようにセルを分離し、しかる後、スイッチング、集線して高速伝送路に送出することができる。

【0032】(B)第2実施例

(a)第2実施例の概略

第1実施例では、所定の呼に応じたセルがセルスイッチの基本交換レートより高速に到来する場合には、セル廃棄が生じる。そこで、第2実施例は、かかる場合であってもセル廃棄が生じないようにするものである。図8は本発明の第2実施例の概略説明図であり、図1と同一部分には同一符号を付している。図中、30はFIFOバッファ24a、24bに滞留しているセル数C1、C2の大小を比較する比較部、31は各呼のセルがセル交換システムに到来した最後の時刻を呼毎に記憶する最終到着時刻記憶部であり、呼に設定したVPI/VCI値とタグの組み合わせであるアドレス(VPI/VCI/タグ)と最終時刻の対応を記憶している。

【0033】テーブル28には、呼のVPI/VCI/タグとFIFO番号との対応に加えて、セル振り分け基準を示すフラグFGを記憶する。すなわち、処理部29は、図1の場合と同様に、呼設定時に呼(VPI/VCI/タグ)をいずれかのFIFOバッファに対応付け、かつ、セル振り分け基準を示すフラグFGをテーブル2

8に設定する。例えば、基本交換レートより低速のCBR(Constant BitRate)呼についてはフラグFG="0"を設定し、基本交換レートより高速になる可能性があるVBR(Variable Bit Rate)呼やバースト呼についてはフラグFG="1"を設定する。

【0034】呼に対応させてFIFO番号やフラグがテーブル28に設定されている状態において、比較部30は各FIFOバッファ24a、24bに滞留しているセル数C1、C2の大小を比較し、最終到着時刻記憶部31は呼毎に、該呼のセルがセル交換システムに到着した最後の時刻を記憶する。セル分離部25は伝送路21から到来するセル流をセルに分離し、該セルに付加されているVPI/VCI/タグ値を参照してテーブル28よりフラグFGを求め、該フラグが"0"であるか"1"であるか調べる。セル分離部25はフラグFGが"0"の時は、テーブル28が指定するFIFOバッファにセルを入力し、フラグが"1"の時は該セルに付加されているVPI/VCI/タグ値を参照して最終到着時刻記憶部31より最終時刻を求め、該最終時刻と現時刻との差分によりセルが属する呼のセル間隔を求める。ついで、セル間隔と設定時間を比較し、セル間隔が設定時間以上の場合には、滞留セル数が最小のFIFOバッファにセルを書き込む(接続する)。又、セル間隔が設定時間以下の場合にはテーブル28を参照し、該テーブルが示すFIFOバッファに書き込む。

【0035】以上のように、滞留セル数が最小のFIFOバッファに記憶するようにしたから、FIFOバッファ24a、24bからセルがオーバーフローしないように(セル廃棄がないように)、セルを振り分けることができる。この場合、無暗に滞留セル数が少ない方のFIFOバッファにセルを入力すると、伝送路21から到来するセル到来順序と伝送路22へ送出するセル出力順序が逆転する現象が生じる。そこで、呼毎にセル間隔を監視し、該セル間隔が設定時間以上のセルの場合に限ってセルを滞留セル数が少ない方のFIFOバッファに入力し、セル間隔が短いセルについてはテーブルに設定されているFIFOバッファに入力する。このようにすれば、ある呼のセル間隔が設定時間以上の場合、該呼の後のセルが交換システムに到来した時、前のセルは既に集線されて出力されており、逆転現象は生じない。すなわち、上記設定時間は逆転が生じないことを保証する最小時間である。

【0036】(b)セル分離部

(b-1)構成

図9は第2実施例のセル分離部の構成図であり、第1実施例と同一部分には同一符号を付している。第1実施例のセル分離部(図3)と異なる点は各FIFOバッファ62a、62bに滞留しているセル数C1、C2をセルヘッダ解析回路部62dに入力している点、及びセルヘッダ解析回路部62dの構成である。

【0037】(b-2) セルヘッダ解析回路部

図10はセルヘッダ解析回路部62dの構成図あり、71はセルヘッダ期間の間、クロックを通過するアンドゲート、72はセルヘッダを通過するゲート、73a~73dはセルヘッダに付加されているタグ、VPI/VC I値を保持するレジスタ、74はVPI/VC I/タグのうち所定のものをアドレスとして選択出力するマスクレジスタ、75はタイミングジェネレータ、76は呼(VPI/VC I/タグ)毎にセルをFIFOバッファ62a、62bのいずれに入力するかを決定する情報及びセル振り分け基準を示すフラグFGを記憶するエントリーテーブル、77はエントリーテーブルから読み出された情報を記憶する出力レジスタ、78はFIFOバッファのwrite-clockを発生するFIFO制御部、79a、79bはイネーブル信号入力時にwrite-clockを出力するゲート回路である。

【0038】91はタイマー、92は呼(VPI/VC I/タグ)毎に最後のセル到着時刻 T_0 を記憶する最終到着時刻記憶部、93はある呼のセルが到来した時、該呼のセル最終到着時刻 T_0 と現時刻 T_n との差分により前記呼のセル間隔 $T(=T_n-T_0)$ を演算すると共に、セル間隔 T と設定時間 T_s の大小を比較する演算部、94はFIFOバッファ62a、62bの滞留セル量 C_1 、 C_2 の大小を比較する比較部、95はセクタである。セクタ95は、セル振り分け基準を示すフラグFGの"1"、"0"及びセル間隔 T と設定時間 T_s の大小に基づいてセルをいずれのFIFOバッファ62a、62bに入力するかを決定する。エントリーテーブル76は図11に示すように、VPI/VC I値(論理アドレス)とタグを組み合わせるVPI/VC I/タグ値をアドレスとして有し、呼(VPI/VC I/タグ)毎にセルをいずれのFIFOバッファに入力するか指定するためのFIFO番号FFNと、セル振り分け基準を示すフラグFGを記憶する。最終時刻記憶部92は図12に示すように、VPI/VC I/タグ値をアドレスとして有し、呼(VPI/VC I/タグ)毎に該呼のセル最終到着時刻を記憶する。

【0039】セクタ95は、所定の呼のセルが到着したとき、該呼のFIFO番号FFN、セル振り分け基準を示すフラグFG、セル間隔 T と設定時間 T_s の大小を参照し、

フラグFGが"0"の時、エントリーテーブル76より読み出したFIFO番号FFNが指示するFIFOバッファ62a、62bにセルを入力するようにイネーブル/ディスイネーブル信号を発生し、

フラグFGが"1"で、セル間隔 $T \leq$ 設定時間 T_s の時は、エントリーテーブル76より読み出したFIFO番号FFNが指示するFIFOバッファにセルを入力するようにイネーブル/ディスイネーブル信号を発生し、

フラグFGが"1"で、セル間隔 $T >$ 設定時間 T_s の

時は、滞留セル量が少ない方のFIFOバッファにセルを入力するようにイネーブル/ディスイネーブル信号を発生する。

【0040】(b-3) セルをキューイングするFIFOバッファの決定処理

図13は呼処理プロセッサ55によるセルキューイングFIFOの決定処理フローである。呼処理プロセッサ55は、呼設定処理が必要であるかチェックし(ステップ201)、必要であれば呼設定処理を行い、呼のVPI/VC I値及びタグを決定してVCC回路56のVC変換テーブルに設定する(ステップ202)。これにより、VCC回路56は伝送路から入力されたセルにタグを付加すると共に、VPI/VC Iを付け替える。ついで、セル振り分け基準を示すフラグFGを決定する。例えば、基本交換レートより低速のCBR(Constant Bit Rate)呼についてはフラグFG="0"とし、基本交換レートより高速になる可能性があるVBR(Variable Bit Rate)呼やバースト呼についてはフラグFG="1"とする(ステップ203)。

【0041】ついで、呼処理プロセッサは第1FIFOバッファ62aの帯域積算値 B_1 と第2FIFOバッファ62bの帯域積算値 B_2 の大小を比較し、 $B_1 < B_2$ であるかチェックする(ステップ204)。 $B_1 < B_2$ であれば、呼のVPI/VC I/タグ値が示すエントリーテーブル76の記憶域にFIFOバッファ62aのFIFO番号FFN及びステップ203で決定したフラグFGを書き込み(ステップ205)、 $B_1 + B \rightarrow B_1$ により帯域積算値 B_1 を更新する(ステップ206)。一方、 $B_1 > B_2$ であれば、呼のVPI/VC I/タグ値が示すエントリーテーブル76の記憶域にFIFOバッファ62bのFIFO番号FFNとフラグFGを書き込み(ステップ207)、 $B_2 + B \rightarrow B_2$ により帯域積算値 B_2 を更新する(ステップ208)。

【0042】ついで、あるいは、ステップ201で呼設定でなければ、通信中の呼が終了したかチェックし(ステップ209)、終了してなければ始めに戻り、以降の処理を繰り返す。通信中の呼が終了すれば、終了呼のVPI/VC I/タグ値が示すエントリーテーブル77の記憶域に記憶されているFIFO番号が示すFIFOバッファの帯域積算値 B_i を B' 減小し($B_i - B' \rightarrow B_i$ 、ステップ210)、以後、始めに戻り、以降の処理を繰り返す。ただし、 B' は終了呼の申告帯域である。

【0043】(b-4) セル分離部の動作。

セル終端部61(図9)よりセルが入力すると、マスクレジスタ74(図10)は該セルに付加されているVPI/VC I/タグ値をアドレスとして出力する。この結果、該アドレスが示すエントリーテーブル76からFIFO番号FFNとフラグFGが読み出されて出力レジスタ77に格納される。又、前記アドレスが示す最終到着時刻記憶部92よりセル最終到着時刻 T_0 が読み出され

る。セクタ95はフラグFGが"0"であれば、エン
トリーテーブル76より読み出したFIFO番号FFN
が指示するFIFOバッファにセルを入力するよう
にイネーブル信号を発生し、該FIFOバッファにwrite-cl
ockを入力する。これにより、セルはwrite-clockが入力
されたFIFOバッファに書き込まれる。一方、フラグ
FGが"1"であれば(条件1が成立)、演算部93は
セル最終到着時刻 T_0 と現時刻 T_n との差分によりセル間
隔 $T(=T_n-T_0)$ を演算すると共に、セル間隔 T と設
定時間 T_s の大小を比較する。

【0044】セル間隔 $T>$ 設定時間 T_s であれば(条件
2が成立)、セクタ95は比較部94の比較結果に基
づいて滞留セル量が少ない方のFIFOバッファにセル
を入力するようイネーブル信号を発生し、該FIFO
バッファにwrite-clockを入力する。これにより、セル
はwrite-clockが入力されたFIFOバッファに書き込
まれる。同時に指定されたFIFOを数値に変換(デコ
ード)し、エントリーテーブル内のFIFO番号を更新
しておく。

【0045】一方、セル間隔 $T\leq$ 設定時間 T_s であれば
(条件2が不成立)、セクタ95はエントリーテーブル
76より読み出したFIFO番号FFNが指示するFIFO
バッファにセルを入力するようイネーブル/ディ
スイネーブル信号を発生し、該FIFOバッファにwrit
e-clockを入力する。これにより、セルはwrite-clockが
入力されたFIFOバッファに書き込まれる。以上のよ
うに、セル間隔が設定時間以上長い場合には、滞留セル
数が最小のFIFOバッファに記憶するようにしたか
ら、FIFOバッファ24a、24bからセルがオーバ
フローしないように(セル廃棄がないように)、かつ、
セル到来順序とセル出力順序が逆転する現象が生じない
ようにセルを振り分けることができる。

【0046】(b-5) 変形例

以上は、フラグFGを用いた場合であるが、フラグFG
を用いないでセルを振り分けることもできる。この場
合、セクタ95はセルが到着したとき、

セル間隔 $T\leq$ 設定時間 T_s の時は、エントリーテー
ブル76より読み出したFIFO番号FFNが指示するF
IFOバッファにセルを入力するようイネーブル/ディ
スイネーブル信号を発生し、

セル間隔 $T>$ 設定時間 T_s の時は、滞留セル量が少な
い方のFIFOバッファにセルを入力するようイネー
ブル/ディスイネーブル信号を発生する。

(c) セル集線部(CELL-MUX)

第2実施例のセル集線部は図7の第1実施例のセル集線
部と同一の構成を有し、セルスイッチ51a、51bよ
り到来する2つの基本交換レートのセル流を集線し、該
セルをセル到来順に1.2Gで物理終端部を介して高速伝送
路に送出する。

【0047】(C) 第3実施例

(a) 第3実施例の概略

第1実施例では、所定の呼に応じたセルが基本交換レ
ートより高速に到来するとセル廃棄が生じる。そこで、第
2実施例ではセル間隔が設定時間以上の場合、セルを滞
留セル数が少ない方のFIFOバッファに入力し、これ
により、セル廃棄が生じないように、かつ、セル到来順
序とセル出力順序の逆転(逆転現象)が生じないように
する。第3実施例では、全てのセルを無条件に滞留セル
数が少ない方のFIFOバッファに入力する。この場
合、逆転現象が生じるため、集線処理において並び替え
を行い到来順にセルが送出されるようにする。

【0048】図14は本発明の第3実施例の原理説明図
であり、図1と同一部分には同一符号を付している。図
中、30はFIFOバッファ24a、24bに滞留して
いるセル数 C_1 、 C_2 の大小を比較する比較部、32は
セルが伝送路より到来する毎に呼毎にセルに到着順を示
すシーケンス番号を付加するシーケンス番号付加部、3
3はセルを呼毎にシーケンス番号順に並べて送出するシ
ーケンス順出力部である。基本交換レートのセルスイッ
チ23a、23bを設けると共に、各セルスイッチ23
a、23bに対応して高速伝送路21からのセルをキュー
イングするFIFOバッファ24a、24bを設け
る。比較部30はFIFOバッファ24a、24bの滞
留セル数 C_1 、 C_2 を比較し、記憶セル数が最小のF
IFOバッファを識別し、セル分離部25に入力する。

【0049】シーケンス番号付加部32は伝送レート1.
2Gのセル流が伝送路21を介して到来する毎に、呼別に
各セルに到着順を示すシーケンス番号を付加する。セル
分離部25は該シーケンス番号が付加されたセルを滞留
セル数が最小のFIFOに入力し、セル読出・入力部2
6は各FIFOバッファ24a、24bより基本交換レ
ート622Mでセルを読み出して対応するセルスイッチ23
a、23bに入力する。各セルスイッチ23a、23b
は入力された622Mのセルをスイッチングし、集線部27
は各スイッチでスイッチングされた622Mのセルを集線
し、シーケンス順出力部33は集線された1.2Gのセルを
呼毎にシーケンス番号順に並べて伝送路22に送出す
る。以上のようにすれば、セル間隔に関係なく無条件で
セルを滞留セル数が最小のFIFOバッファに振り分け
ることができるため、高速伝送路を収容してもFIFO
バッファ24a、24bからセルがオーバフローせず、
セル廃棄が生じない。又、逆転現象が生じてもシーケ
ンス番号を用いて並び替えて伝送路に送出することがで
きる。

【0050】(b) セル分離部

(b-1) 構成

図15は第3実施例のセル分離部52a-2の構成図であ
り、61はセルの正常性の確認を行うセル終端回路部、
62はハイウェイ対応回路部であり、伝送路からのセル
レートをセルスイッチ51a、51bの基本交換レート

に分離するものである。高速伝送路の伝送レートは1.2Gbps、基本交換レートは622Mbpsである。このため、高速伝送路に対応して2つのセルスイッチ51a、51bが設けられている。

【0051】ハイウェイ対応回路部62は、2つのFIFOバッファ62a、62b、FIFO構成の遅延回路62c、セルヘッダ解析回路部62d、読出し回路部62e、62f、シーケンス番号付加部62gを有している。FIFOバッファ62a、62bは各セルスイッチに対応して設けられ、分離されたセルをキューイングする。遅延回路62cはread-clockの発生時刻をwrite-clockの発生時刻から時間Td遅延することにより、セル終端部61から出力されるセルを該時間Td遅延する。セルヘッダ解析回路部62dはセルヘッダを解析して呼毎に連続したシーケンス番号SNを発生すると共に、セルをFIFOバッファ62a、62bに振り分ける制御を行う。セル読出し回路部62e、62fは各FIFOバッファ62a、62bから基本交換レートでセルを読出して対応するセルスイッチに入力し、シーケンス番号付加部62gはセルヘッダ部にシーケンス番号SNを付加する。

【0052】セルヘッダ解析回路部62dがシーケンス番号SNを発生するまでに所定の時間を必要とする。このため、遅延回路62cは該時間分セルを遅延し、シーケンス番号付加部62gはセルヘッダ部にシーケンス番号SNを付加する。セルヘッダ解析回路部62dはシーケンス番号発生に加えて、FIFOバッファ62a、62bのうちセル滞留数が最小のFIFOバッファを求め、セルを入力するFIFOバッファを決定し、該FIFOバッファに1.2GHzの書き込みクロックwrite-clockを入力する。FIFOバッファ62a、62bはセル蓄積の有無をエンpty信号empty-flagで対応するセル読出し回路部62e、62fに通知すると共に、滞留セル数C1、C2をセルヘッダ解析回路部62dに入力する。セル読出し回路部62e、62fはセルが蓄積されていれば基本交換レート622MHzの読出しクロックread-clockを発生し、該クロックに同期してFIFOバッファ62a、62bからセルを読出してセルスイッチ51a、51bに入力する。

【0053】(b-2) セルヘッダ解析回路部

図16はセルヘッダ解析回路部62dの構成図あり、71はセルヘッダ期間の間、クロックを通過するアンドゲート、72はセルヘッダを通過するゲート、73a~73dはセルヘッダに付加されているタグ、VPI/VC I値を保持するレジスタ、74はVPI/VC I/タグのうち所定のものをアドレスとして選択出力するマスクレジスタ、75はタイミングジェネレータ、78はFIFOバッファのwrite-clockを発生するFIFO制御部、79a、79bはイネーブル信号が入力された時にwrite-clockを出力するゲート回路である。94はF I

FOバッファ62a、62bの滞留セル量C1、C2の大小を比較する比較部、95は滞留セル数が少ない方のFIFOバッファにセルを入力するようにイネーブル信号を発生してゲート回路79a、79bに入力するセレクタ、96はVPI/VC I/タグ値をアドレスとするシーケンス番号記憶部であり、呼(VPI/VC I/タグ)毎にシーケンス番号SNを記憶するもの、97は+1加算器である。

【0054】(b-3) セル分離部の動作

セル終端部61から出力されるセルのヘッダには、呼設定時に決定されたVPI/VC I値及びタグが付加されている。セルヘッダ解析回路部62dはこのVPI/VC I/タグ値をアドレスとしてシーケンス番号記憶部96よりシーケンス番号SNを読み出し、該シーケンス番号SNをシーケンス番号付加部62gに入力する。又、セルヘッダ解析回路部62dはシーケンス番号SNを1カウントアップして上記アドレスに書き込んで更新すると共に、FIFOバッファ62a、62bのセル滞留量の大小を比較し、セル滞留数が少ないFIFOバッファにwrite-clockを入力する。シーケンス番号付加部62gは遅延回路62cから出力されるセルのヘッダにシーケンス番号を付加して出力し、write-clockが入力されているFIFOバッファは該セルを書き込む。

【0055】以上により、呼(VPI/VC I/タグ)毎に到来順にシーケンス番号が付加されて、滞留セル数が少ない方のFIFOバッファにセルが書き込まれる。この書き込みと並行して、セル読み出し回路部62e、62fは各FIFO62a、62bに記憶されているセルを基本交換レートで読み出してセルスイッチ51a、51bに入力する。この結果、各セルスイッチ51a、51bは入力セルをタグに基づいてスイッチングして所定の方路に出力する。

【0056】(c) セル集線部(CELL-MUX)及びシーケンス順出力部

図17はセル集線部及びシーケンス順出力部の構成図であり、52b-3はセル集線部、52b-3'はシーケンス順出力部である。集線部52b-3において、81は第1のセルスイッチ51aから出力される基本交換レート(622M)のセルを書き込む第1のFIFOバッファ、82は第2のセルスイッチ51bから出力される基本交換レート(622M)のセルを書き込む第2のFIFOバッファ、83は第1、第2のFIFOバッファにセルが書き込まれた順に、書き込まれたFIFOバッファの番号を記憶するセル到着順序管理FIFO、84はセル到着順に第1、第2のFIFOバッファ81、82から1.2Gの伝送レートでセルを読み取って出力するセレクタである。

【0057】シーケンス順出力部52b-3'において、85a~85eはセルヘッダに含まれるシーケンス番号、タグ、VPI/VC I値を記憶するレジスタ、86はVPI/VC I/タグをアドレスの上位ビット、シーケン

ス番号をアドレスの下位ビットとして出力するマスキレジスタ、87はアドレスが出力されるまでの時間分セルを遅延する遅延回路、88はVPI/VC I/タグ/シーケンス番号により特定されるアドレスが指示する記憶域にセルを記憶するセルバッファ、89はシーケンス番号管理制御部である。セル集線部52b-3はスイッチングされたセルを集線し、シーケンス順出力部52b-3'はセルを呼(VPI/VC I/タグ)毎にシーケンス番号順に並べ、各呼のセルをシーケンス順に送出する。すなわち、セルバッファ88はVPI/VC I/タグの小さい順に、かつ、VPI/VC I/タグ(呼)毎にシーケンス番号順にセルを記憶する。又、シーケンス番号管理制御部89はセル集線部52b-3からのセル到来順に上位アドレス(VPI/VC I/タグ値)を記憶し、該記憶された上位アドレス(VPI/VC I/タグ)順で、かつ、シーケンス番号順にアドレスを発生し、セルバッファ88からセルを読み出して出力する。

【0058】図18はシーケンス番号管理制御部89の構成図であり、89aは集線部52b-3よりセル到来順にアドレス(VPI/VC I/タグ/シーケンス番号)を記憶するFIFOバッファであり、VPI/VC I/タグにより上位アドレスAiが、シーケンス番号により下位アドレスSiが示される。89bは上位アドレスAi(VPI/VC I/タグ)毎に次に伝送路に送出すべきシーケンス番号ESi(期待シーケンス番号)を記憶するテーブル、89cはFIFOバッファ89aから読み出された上位アドレスAiに応じた期待シーケンス番号ESiとFIFOバッファ89aから読み出された下位アドレスSiとの一致/不一致を検出する一致検出部、89dは一致検出によりFIFOバッファ89aから読み出したアドレス(VPI/VC I/タグ/シーケンス番号)を出力アドレスとしてセルバッファ88に入力するゲート回路、89eは不一致検出によりアドレス(VPI/VC I/タグ/シーケンス番号)を再びFIFOバッファ89aに書き込むゲート回路、89fは期待シーケンス番号ESiをカウントアップする加算回路である。

【0059】FIFOバッファ89aから先頭アドレス(VPI/VC I/タグ/シーケンス番号)が読み出されると、その上位アドレスAiに応じた期待シーケンス番号ESiがテーブル89bより一致検出部89cに入力する。一致検出部89cは期待シーケンス番号ESiとFIFOバッファ89aから読み出された下位アドレスSiを比較し、一致している場合には、逆転現象が生じていないから、ゲート回路89dに一致を指示して直ちにアドレス(VPI/VC I/タグ/シーケンス番号)を出力アドレスとしてセルバッファ88に入力させる。これにより、セルバッファ88から該出力アドレスが指示するセルが読み出されて次段の物理終端部に入力する。又、加算部89eは期待シーケンス番号ESiを

歩進($ESi+1 \rightarrow ESi$)して元の位置に格納することにより更新する。

【0060】一方、期待シーケンス番号ESiと下位アドレスSiが一致していない場合には、逆転現象が生じている。かかる場合には、セルバッファ88からセルが出力しない。又、一致検出部89cはゲート回路89eに不一致を指示する。これにより、ゲート回路89eはアドレス(VPI/VC I/タグ/シーケンス番号)をFIFOバッファ89aに再度書き込む。尚、期待シーケンス番号ESiは更新しない。以後、次のアドレスについて上記制御を繰り返す。

【0061】以上では、高速伝送路の伝送レートを1.2Gbps、基本交換レートを622Mbpsとし、高速伝送路に対応して2つのセルスイッチ、2つのFIFOバッファを設けた場合について説明したが、伝送レート、基本交換レートに応じて所定数のセルスイッチ、FIFOバッファが設けられる。例えば、伝送レートが2.4G、基本交換レートが622Mbpsの場合、セルスイッチ、FIFOバッファはそれぞれ4つ設けられ、上記と同様の制御が行われる。又、以上ではエントリーテーブル等のアドレスとしてVPI/VC I値とタグの組み合わせ(VPI/VC I/タグ)を採用したが、呼を区別できるものであればアドレスとして使用することができ、例えば、VPI/VC I値のみでアドレスを構成することもできる。以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【0062】

【発明の効果】以上本発明によれば、基本交換レートより大きな伝送レートを有する高速伝送路に対して基本交換レートのセルスイッチを複数個設け、かつ、各セルスイッチに対応して伝送路からのセルをキューイングする手段を設け、伝送路からのセルを分離して所定のキューイング手段に書き込み(接続し)、各キューイング手段より前記基本交換レートでセルを読み出して対応するセルスイッチに入力し、各スイッチでスイッチングされたセルを集線して伝送路に送出するようにしたから、セルスイッチの基本交換レートより大きな伝送レートを有する高速伝送路を交換システムに収容することができる。又、セルスイッチ部を変更せず、高速伝送路の収容部のみの変更で高速伝送路を交換システムに収容することができ、更には、低速の伝送レートから基本交換レートより高速の伝送レートまで種々の伝送レートの伝送路を交換システムに収容でき、柔軟性のある交換システムを提供できる。

【0063】本発明によれば、呼設定時に呼に割り当てたVPI/VC I値あるいはVPI/VC I/タグ値を用いて呼とキューイング手段との対応を設定し、セルに付加されているVPI/VC I値あるいはVPI/VC I/タグ値を参照して該セルを呼に応じたキューイング

手段に接続するようにしたから、各キューイング手段に均等にセルを振り分けることができ、キューイング手段、例えば、FIFOバッファからセルがオーバーフローしてセルロスが生じないようにできる。

【0064】本発明によれば、呼設定時に呼に割り当てたVPI/VC I値あるいはVPI/VC I/タグ値を用いて呼とキューイング手段との対応を設定し、所定の呼のセル間隔が設定時間以上の場合には該呼のセルを接続セル数が最小のキューイング手段（FIFOバッファ）に接続し、セル間隔が設定時間以下の場合には、呼に応じたキューイング手段に接続するようにしたから、逆転現象が生じないように、しかも、セルを各キューイング手段に均等に振り分けることができ、基本交換レートより高速のセルが到来しても、正しくスイッチングすることができる。

【0065】本発明によれば、基本交換レートより大きな伝送レートを有する高速伝送路に対して基本交換レートのセルスイッチを複数個設け、かつ、各セルスイッチに対応して伝送路からのセルをキューイングする手段を設け、セルが伝送路より到来する毎に呼毎にセルの到着順を示すシーケンス番号をセルに付加し、該シーケンス番号が付加されたセルを前記接続セル数が最小のキューイング手段に接続し、各キューイング手段より前記基本交換レートでセルを読み出して対応するセルスイッチに入力してスイッチングし、スイッチングされたセルを集線して伝送路に送出する際、セルを呼毎にシーケンス番号順に並べて送出するようにしたから、セルを各キューイング手段に均等に振り分けることができ、基本交換レートより高速のセルが到来しても、正しくスイッチングすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の概略説明図である。

【図2】本発明のセル交換システムの全体の構成である。

【図3】セル分離部の構成である。

【図4】cell-header解析回路部である。

【図5】エントリテーブル説明図である。

【図6】セルをキューイングするFIFOバッファ決定処理である。

【図7】セル集線部の構成である。

【図8】本発明の第2実施例の概略説明図である。

【図9】セル分離部の構成である。

【図10】cell-header解析回路部の別の構成である。

【図11】エントリテーブル説明図である。

【図12】最終到着時刻記憶部の説明図である。

【図13】セルをキューイングするFIFOバッファ決定処理である。

【図14】本発明の第3実施例の概略説明図である。

【図15】セル分離部の構成である。

【図16】cell-header解析回路部である。

【図17】セル集線部及びシーケンス順出力部の構成である。

【図18】シーケンス番号管理制御部の構成である。

【図19】ATMセルフフォーマット説明図である。

【図20】ATM交換システムの構成図である。

【図21】スイッチ内部のセルフフォーマット構成である。

【図22】自己ルーチング型のATMスイッチの説明図である。

【図23】セル交換システムの全体の構成である。

【符号の説明】

21、22・・・1.2Gbpsの高速伝送路

23a、23b・・・基本交換レート(622Mbps)のセルスイッチ

24・・・セルの待ち行列記憶部

24a、24b・・・FIFOバッファ

25・・・セル分離部

26・・・セル読出・入力部

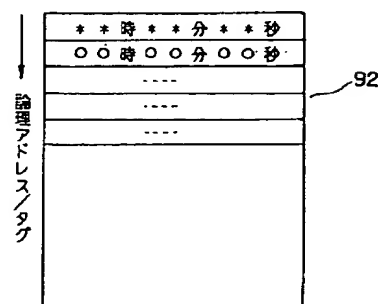
27・・・集線部

28・・・テーブル

29・・・呼処理部

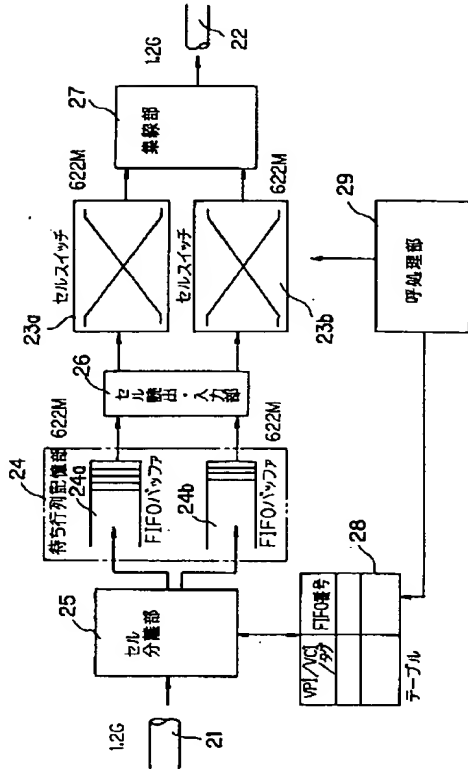
【図12】

最終到着時刻記憶部の説明図



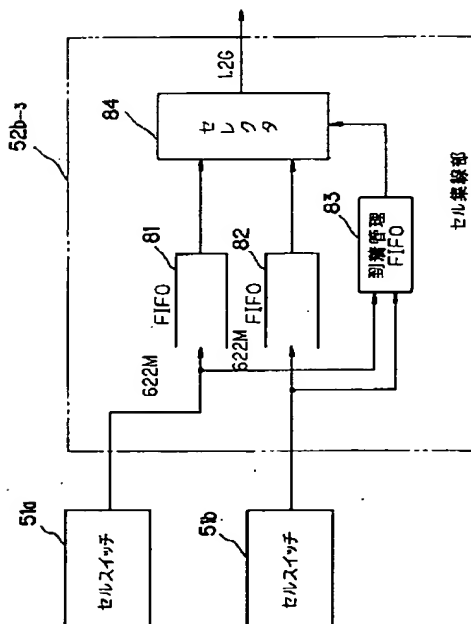
【図1】

本発明の第1実施例の概略説明図



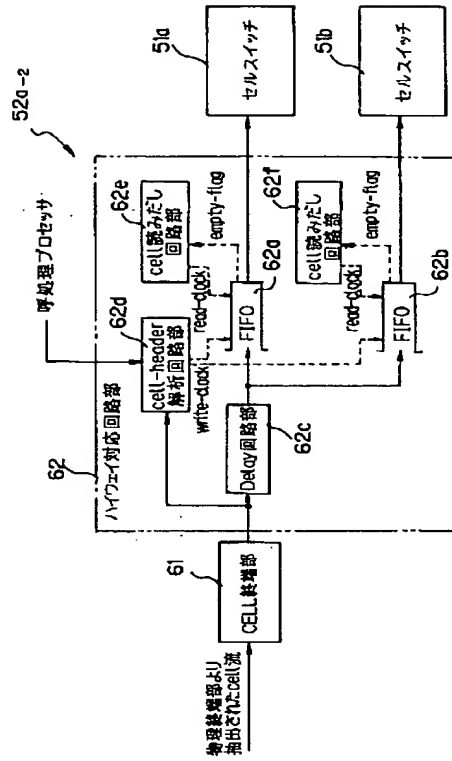
【図7】

セル集線部の構成



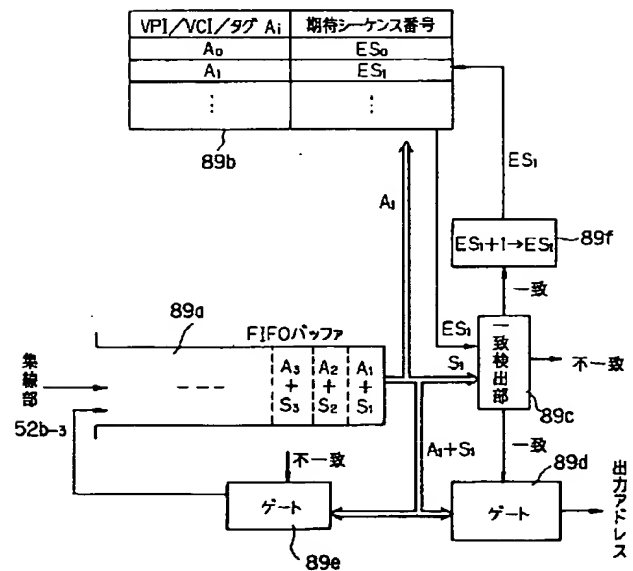
【図3】

セル分離部の構成



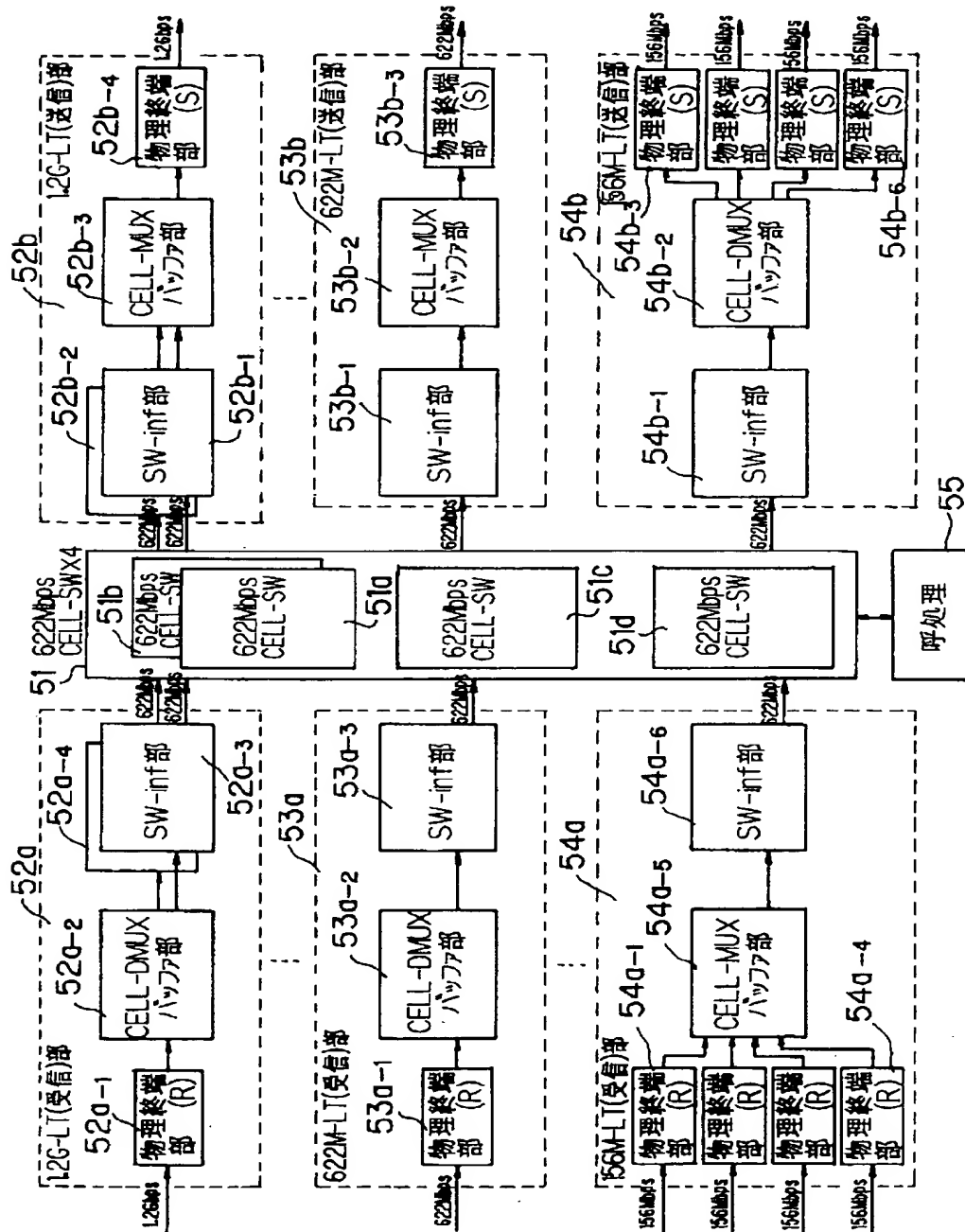
【図18】

シーケンス番号管理制御部の構成



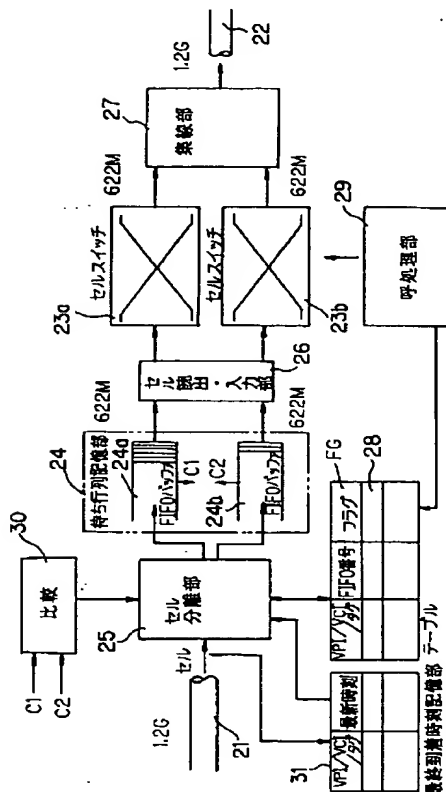
【図2】

本発明のセル交換システムの全体の構成



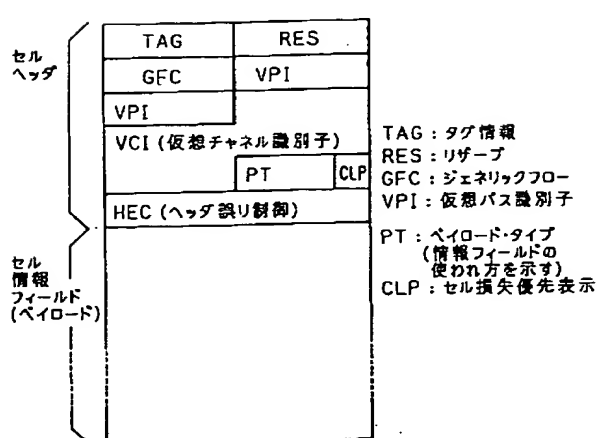
【图8】

本発明の第2実施例の概略説明図



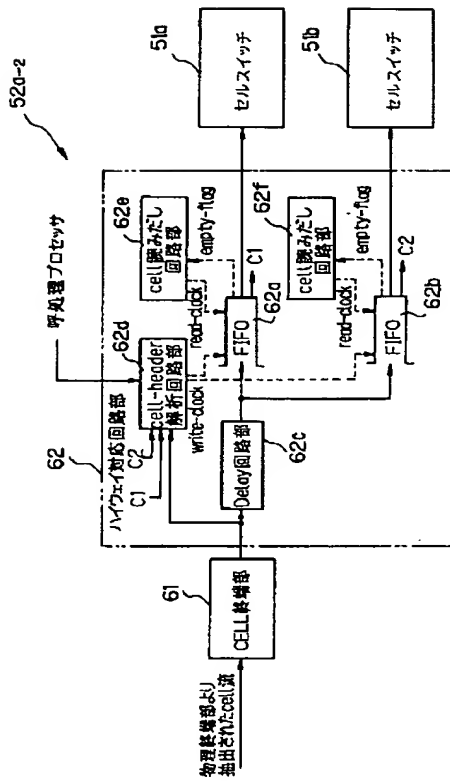
【图 2-1】

スイッチ内部のセルフォーマット構成



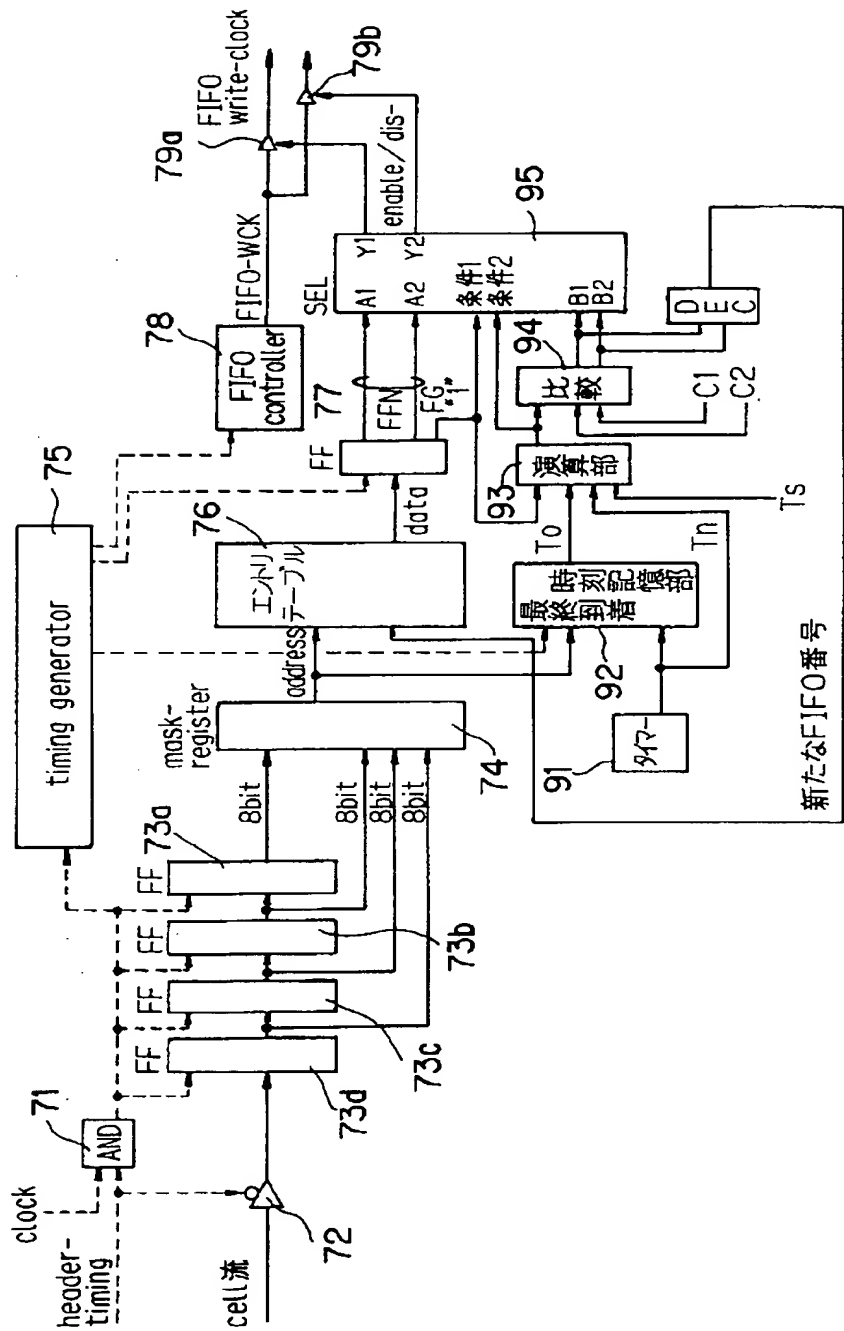
【图9】

セル分離部の構成



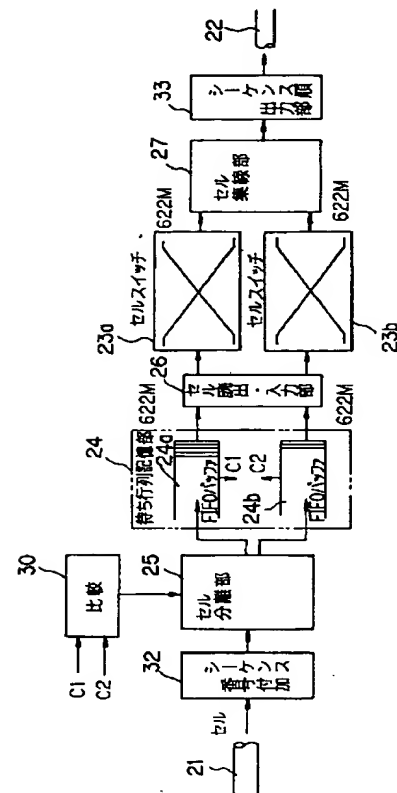
【図 10】

cell-header解析回路部の別の構成

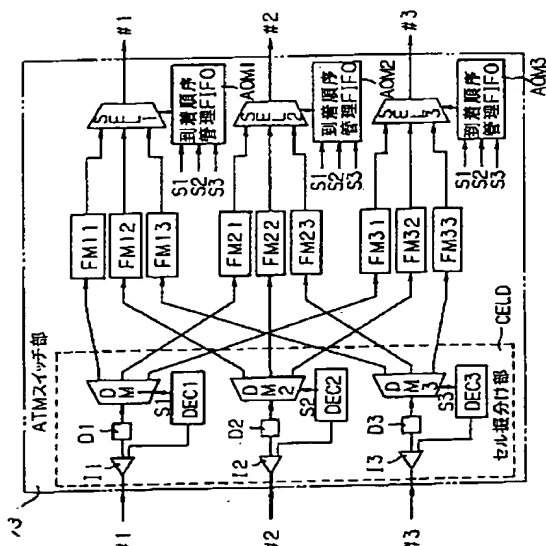


【☒ 1 4】

本発明の第3実施例の概略説明図

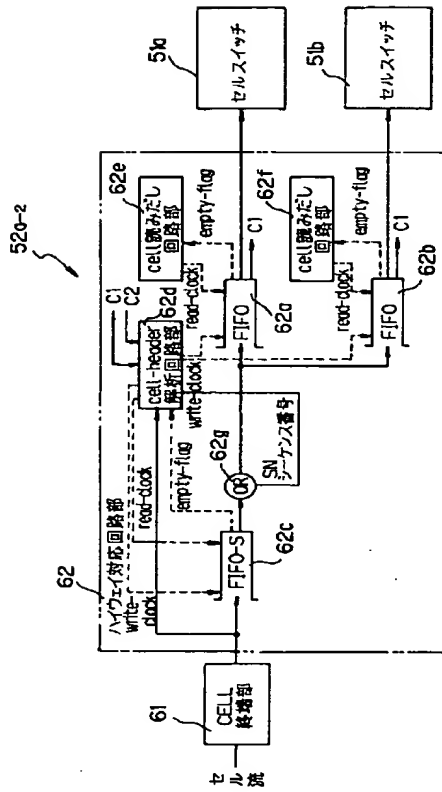


自己ルーチング型のATMスイッチの説明図



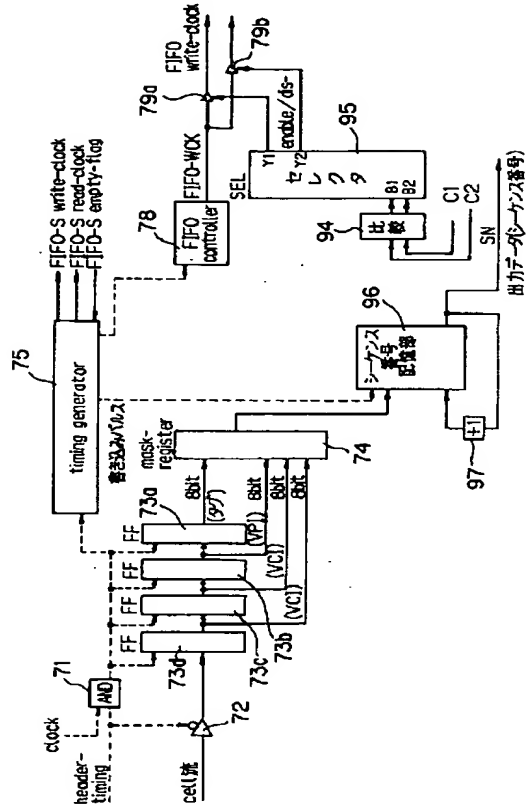
【図15】

セル分離部の構成



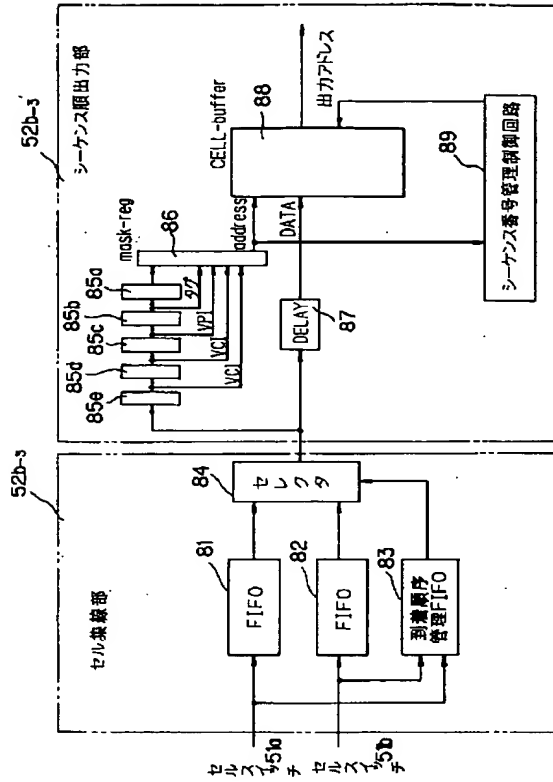
【図16】

cell-header解析回路部



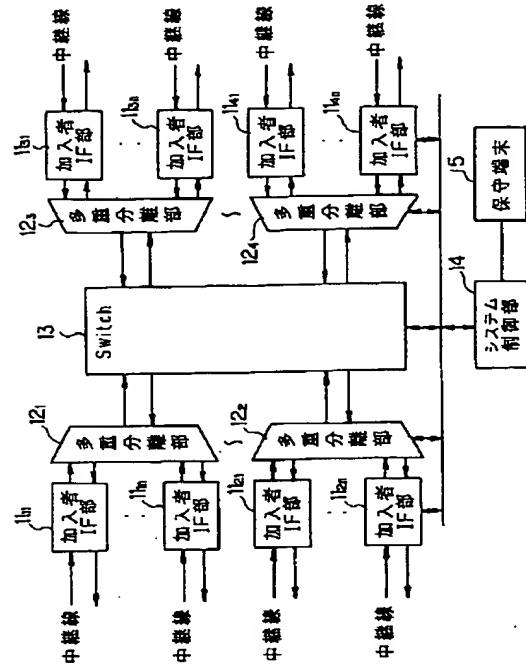
【図17】

セル集線部及びシーケンス順出力部の構成



【図20】

ATM交換システムの構成図



【図23】

セル交換システムの全体の構成

